

S4 1 PN="56-046374"

?t 4/5/1

4/5/1

DIALOG(R) File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00726074

MONOLITHIC INTEGRATED CIRCUIT HAVING TWO- DIMENSIONAL IMAGE SENSOR AND
METHOD OF OPERATING SAME

PUB. NO.: **56-046374** [JP 56046374 A]

PUBLISHED: April 27, 1981 (19810427)

INVENTOR(s): RUUDORUFU KOTSUHO

APPLICANT(s): SIEMENS AG [000904] (A Non-Japanese Company or Corporation),
DE (Germany)

APPL. NO.: 55-122192 [JP 80122192]

FILED: September 03, 1980 (19800903)

PRIORITY: 2936703 [DE 2936703], DE (Germany), September 11, 1979
(19790911)

INTL CLASS: [3] H04N-005/30; H01L-031/00

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭56-46374

⑫ Int. Cl.³
H 04 N 5/30
// H 01 L 31/00

識別記号

庁内整理番号
6940-5C
6824-5F

⑬ 公開 昭和56年(1981)4月27日
発明の数 6
審査請求 未請求

(全 8 頁)

⑭ 2次元画像センサを持つモノリシック集積回路およびその動作方法

ドイツ連邦共和国ゲルメリング
・ニムロードシュトラーセ42

⑮ 特 願 昭55-122192

⑯ 出 願 昭55(1980)9月3日
優先権主張 ⑰ 1979年9月11日 ⑯ 西ドイツ
(DE) ⑯ P 2936703.1

⑰ 代 理 人 弁理士 富村潔

⑱ 発明者 ルードルフ・コツホ

明細書

1 発明の名称 2次元画像センサを持つモノリシック集積回路およびその動作方法

が配備され、その段は第1シフトレジスタ (L1) の対応する段と、第8のトランスマニアゲート (T08) を介して直列に接続されることを特徴とする2次元画像センサを持つモノリシック集積回路。

2 特許請求の範囲

2) センサ素子はホトダイオードから成ることを特徴とする特許請求の範囲第1項記載の集積回路。

1) 2次元半導体画像センサを持つ集積回路であつて、各個のセンサ素子が行および列に配設され、列線が備えられ、之はその横に存在するセンサ素子と接続可能であり、列線と第1のアナログシフトレジスタの段との間に、パリヤ素子、第1の蓄積コンデンサおよび第1のトランスマニアゲートが備えられたものにおいて、第2の蓄積コンデンサ (E02) が備えられ、之は第1のトランスマニアゲート (T01) に横方向に接続して配設され、第2蓄積コンデンサ (E02) は第2トランスマニアゲート (T02) を介して、第1のアナログシフトレジスタ (L1) の段と直列に接続され、しかして第1のシフトレジスタ (L1) の他に第2のアナログシフトレジスタ (L2)

3) センサ素子 (2) はそれぞれ1個以上は2個の並置されたMISコンデンサから成ることを特徴とする特許請求の範囲第1項記載の集積回路。

4) パリヤ素子はパリヤトランジスタから成り、之はそのゲート端子を介して定電圧を印加され、この電圧は飽和範囲内にあり、低いドレイン電流を決定する所の動作点を定義することを特徴とする特許請求の範囲第1項記載の集積回路。

5) MIS技術で製作され、ドープされた半導

(1)

(2)

体上にモノリシックに集成された回路として構成されることを特徴とする特許請求の範囲第1項記載の集積回路。

6) バリヤ素子(BE)は各列線(18)の範囲において、第1および第2の蓄積コンデンサ(Ko1', Ko2')とそれぞれ直列に接続され、その際バリヤ素子(BE)と両蓄積コンデンサの一方(Ko1')との間に、第1のトランスマニアゲートの一部から形成された第1のトランスマニアゲート(T041')が配置され、第1および第2の蓄積コンデンサ(Ko1', Ko2')は第1のトランスマニアゲート(T01')を介して、第1アナログシフトレジスタ(L1)の該第1および第2入力と直列に接続され、しかして第1シフトレジスタの他に第2アナログシフトレジスタ(L2)が備えられ、その該が第1シフトレジスタの対応する該と、第6トランスマニアゲート(T05')を介して直列に接続されることを特徴とする2次元画像センサ。

(8)

像センサを持つモノリシック集積回路。

7) バリヤ素子と両蓄積コンデンサの他方のものとの間に、他のトランスマニアゲートが配置されることを特徴とする特許請求の範囲第8項記載の集積回路。

8) バリヤ素子(BB)は各列線の範囲について、第1および第2の蓄積コンデンサ(Ko1', Ko2')とそれぞれ直列に接続され、その際バリヤ素子(BB)と両蓄積コンデンサの一方(Ko1')との間に、第6のトランスマニアゲート(T061')が配置され、しかして第1および第2蓄積コンデンサ(Ko1', Ko2')は第1トランスマニアゲート(T01')を介して、第1アナログシフトレジスタ(L8)の該々の該と直列に接続されることを特徴とする2次元画像センサを持つモノリシック集積回路。

9) バリヤ素子と両蓄積コンデンサの他方のものとの間に、他のトランスマニアゲートが配置

(4)

されることを特徴とする特許請求の範囲第8項記載の集積回路。

10) 最初に1センサ行の信号電荷が、第1蓄積コンデンサ(Ko1')を介して第2蓄積コンデンサ(Ko2')に伝達され、続いて同じセンサ行の零信号電荷が第1蓄積コンデンサ(Ko1')に伝達され、第2蓄積コンデンサ(Ko2')からの信号電荷は第1シフトレジスタ(L1)のトランスマニアゲートを介して、第2シフトレジスタ(L2)の対応するトランスマニアゲートに伝達され、第1蓄積コンデンサ(Ko1')からの零信号電荷は、第2蓄積コンデンサ(Ko2')を介して第1シフトレジスタ(L1)の該に伝達され、しかして両シフトレジスタから送出され、1センサ列から導出される信号はそれぞれ整形成に圧縮させられることを特徴とする2次元画像センサを持つモノリシック集積回路の動作方法。

11) 最初に1センサ行の信号電荷が第1蓄積コ

ンデンサ(Ko1')に伝達され、続いて同じセンサ行の零信号電荷が第2蓄積コンデンサ(Ko2')に伝達され、信号電荷はそれぞれ、第1シフトレジスタ(L1)の該第1蓄積コンデンサ(Ko1')に伝達され、零信号電荷はそれぞれ、第1シフトレジスタ(L1)の同じ該中の第2蓄積コンデンサ(Ko2')に伝達され、その該信号電荷は第2シフトレジスタ(L2)の対応する該に伝達され、しかして両シフトレジスタ(L1, L2)から送出され、1センサ列から導出された信号はそれぞれ整形成に圧縮させられることを特徴とする2次元画像センサを持つモノリシック集積回路の動作方法。

12) 1センサ行の信号電荷は第1蓄積コンデンサ(Ko1')に伝達され、続いて同じセンサ行の零信号電荷は第2蓄積コンデンサ(Ko2')に伝達され、信号電荷および零信号電荷は、シフトレジスタ(L8)の異なる該に伝達され、しかしてこの順次に送出され、1センサ

(5)

(6)

列から導出された信号がそれぞれ、整形成に開閉させられることを特徴とする2次元画像センサを持つモノリシック集積回路の動作方法。

3 発明の詳細な説明

この発明は2次元半導体画像センサを持つ集積回路において、各個のセンサ素子が行および列に配設され、列線が備えられ、之はその横に存在するセンサ素子と接続可能であり、列線と第1のアナログシフトレジスタの後との間に、バリヤ素子、第1の蓄積コンデンサおよび第1のトランスマニアゲートが備えられたものに関する。

この形式の集積回路は西ドイツ国特許出願公開第2642166号公報および西ドイツ国特許第2611771号明細書から公知である。上記公報によれば、センサ信号の読み出しに対する短い過渡時間において、列線およびバリヤ素子（限界電極素子）を介して、シフトレジスタの段に不完全な電荷伝送が生じ、その際

(7)

残留する電荷は画像センサの直ぐ次の行の読み出しの際、次の電荷伝送に影響する。之は特に例えばテレビジョン標準の時間条件に対応して、画行の走査および読み出しに対し王として44行が使用され、その中の12行は2個の行信号の間の走査間隔に落ちる場合にそうである。この12行中にセンサ行の信号の並列伝送が、バリヤ素子を経てシフトレジスタに行われる。

読み出しを促進するため前記西ドイツ国公報によれば、バリヤ素子とセンサ信号が読み込まれる所のシフトレジスタの各段との間に、蓄積コンデンサが挿入され、之がトランスマニアゲートを経てシフトレジスタ段の入力と接続される。他方において西ドイツ国特許第2611771号明細書の2ディメンション画像センサを持つ回路においては、2個のシフトレジスタが並置され、妨害信号により影響されたセンサ信号の読み出しのため、第1シフトレジスタ中において第1の読み出し過程は列線を介して行われ、それに続いて零信号となる。

(8)

妨害信号の読み出しのための第2の読み出し過程が行われる。零信号は第2シフトレジスタの後に伝達される。四シフトレジスタの出力に整形成段が存在し、之は同じ外線を経て導出された2個の信号から、妨害の無いセンサ信号を導出する。

この発明の目的は、西ドイツ国特許第2611771号明細書に対応するセンサ行の2重読み出しを、簡単な読み出しのための西ドイツ国公報第2642166号による回路によつて達成されるとき、短かい時間間隔をもつて進行することにある。この目的を達成するためこの発明によれば第2の蓄積コンデンサが備えられ、之は第1のトランスマニアゲートに横方向に接続して配設され、第2蓄積コンデンサは第2のトランスマニアゲートを介して、第1のアナログシフトレジスタの後と直列に接続され、しかして第1シフトレジスタの他に第2アナログシフトレジスタが配設され、それの後は第1シフトレジスタの対応する後と、第2トランスマニアゲートを介して直列に接続されるよ

(9)

うにするのである。この発明の目的は更に特許請求の範囲第2項或は第3項に記載する特徴によつても達成することができる。

この発明による利点は特に、2重読み出しにより得られる妨害抑制が、单一の読み出しに対し同じ条件で2倍の時間消費にかかわらず、西ドイツ国特許出願公開第2642166号公報による迅速な読み出し方法においても使用される点にある。

次にこの発明を図面について解説する。

第1図はこの発明の第1実施例の概要的表示、第2図は第1図の部分回路の断面表示、第3図は第1図および第2図による回路の説明のための電圧-時間ダイヤグラム、第4図は第2図に示す部分回路に対する第1の変形、第5図は第4図の説明のための電圧-時間ダイヤグラム、第6図は第2図の部分回路に対する第2の変形、第7図は第8図の説明のための電圧-時間ダイヤグラム、第8図は第2図の部分回路に対する第3の変形を示す。

(10)

第1回に示す回路において、2次元画像センサ、およびそれに所属する取出し装置は、ドープされた半導体例えばP-伝導形のシリコン上にモノリシックに構成される。画像センサは図を簡単にするため8個のセンサ素子を持ち、それらが8行、3列に配列される。しかし一般にこの種の画像センサは行および列毎に100個近くはそれ以上の素子を持つ。第1行のセンサ素子は共通の行線10と接続され、之はデジタルシフトレジスタ12の出力11に導かれる。出力11を介して行10の全素子が同時に選出可能である。類似の仕方で残りの行のセンサ素子もその行線を介して、行線に各個に所属するシフトレジスタ12の出力と接続される。

各センサ列に対しそれぞれ1本の列線例えば13が備えられ、之は同じ列の全センサ素子と接続可能であり、しかしてクロックバ尔斯電圧 ϕ_R を印加されるトランジスタTRを介して、参照電位 V_R にある所の端子14と接続される。残りの

(11)

ソース-ドレイン区間を経て、所屬の列線と接続される。その点2bのゲートは所屬の行線に接続される。他方にいてセンサ素子2はまたMISコンデンサから成り、又はCID素子として構成することができ、この素子は2個の並置されたMIS-コンデンサを持つ。上記のセンサ素子はすべて公知であり、例えばP.G.Jespers著「Solid State Imaging」Noordhof出版社、ライデン市、オランダ国、およびS.Ihba著「A 1024 Element Linear CCD Sensor with a new photo-diode structure」Proc. IEDM 1977年、ワシントン市、頁538~541がある。ホトダイオードを使用する場合、一様なスペクトル感度の利点が得られる。

ゲートBEの領域15と反対の側にMIS-コンデンサK01が配置され、その外部電極が端子17を経て、バ尔斯電圧 ϕ_{K01} を印加される。既いでトランジスタゲートT01、MIS-コンデンサK02およびトランジスタゲートT02が存在

(12)

列線はやはりその側に配置されたセンサ素子と接続可能であり、かつトランジスタを介して端子14に導かれる。列線18は更に半導体1の境界面に備えられた領域15と接続され、この領域は境界面と反対の伝導形を持つ。領域15のそばに存在する半導体領域はゲートBEにより駆動され、之はその端子16を介してクロックバ尔斯電圧 ϕ_{BE} を印加され、かつ導いた飽和電圧例えば ϕ_{BE} により半導体の境界面から分離される。ゲートBEは、 ϕ_{BE} の振幅が低いトランジスタ電圧を設定する程に働く選定されたとき、バリヤ素子となる。ゲートBEはまた領域15と一緒にトランジスタとして選別することもでき、之は ϕ_{BE} の振幅により、飽和領域にある動作点にあり、低いドレイン電圧を決定する。同じ仕方で他の列線も半導体領域15'....と接続され、その際ゲートBEはこの領域のそばにも配置される。

センサ素子2は例えばホトダイオード2aから成り、之はそれ電界効果トランジスタ2bの

(12)

在し、これらにバ尔斯電圧 ϕ_{T01} 、 ϕ_{K02} 、 ϕ_{T02} が印加される。コンデンサK01はトランジスタゲートT02を介して、CTDシフトレジスタ(電荷転送デバイス)L1の第1トランジスタ電極E11の下方の半導体領域と接続される。第1の4個の電極から成る所の、4相動作で作動するシフトレジスタL1の段は、列線13に所属する。他の列線にはそれぞれ、2個のMIS-コンデンサおよび2個のトランジスタゲート並にシフトレジスタL1のそれぞれの段の対応する直列接続が所属する。

シフトレジスタL1のそばに第2のCTD-シフトレジスタL2が配置され、之はL1からトランジスタゲートT08により分離される。シフトレジスタの延長された電極の下方に、クロックバ尔斯 ϕ_{T03} の印加の所L1とL2の間に電荷伝達が生じ得る。L2のトランジスタ電極はL1の電極のようにクロックバ尔斯電圧 ϕ_1 乃至 ϕ_4 を印加される。L1およびL2の出力段は詳細に図示

(14)

せず、むしろ第1回により整形回路1り例えは整増幅器を持つ所のブロック18中に包含される。整形回路1りの出力は全回路出力20を表わす。

第2回は第1回の回路のB-E間に沿う接断面を示す。ここで回路部分13、BE、KO1、T01、KO2、T02、E11、T03およびE21は、既述の半導体を散う接線層4上に受けられ、かつ中間絶縁により互に分離される。

1つの行のセンサ電子の脱出しのため、之は導通されたトランジスタ20およびTRを介して参照電位VRにリセットされる。続いてトランジスタTRが再び閉塞され、よつて列線およびホトダイオードは外部の電位により自由にされる('フローテング'状態)。ホトダイオードにおいて光学的に発生された電荷キャリアは、今やトランジスタ20が阻止されるまでの間列線の電位を低下させる。トランジスタTRの阻止と20の阻止との間の時間間隔は横分時間と呼ばれる。横分時間の終りに達する電位低下は列線に伝達され、従つ

(15)

て領域15にも伝えられる。之は領域15からBEの下の電位障壁を超えて蓄積コンデンサKO1へ電荷転送に作用し、このコンデンサはこの障壁电压KO1を印加される。KO1の倒線22およびT02のクロックパルスの出現の際、KO1中に蓄積された電荷はE01に伝えられ、E01はこの障壁电压KO2にある。

この電荷伝達の後同じホトダイオードにおいて第2回の脱出し過程が行われ、この目的でホトダイオードは電位VRにリセットされる。この系列線上に生じる電位低下は、今や横分時間が著しく短かいため既述の零信号に対応する。この零信号はセンサに固有の駆動信号から成り、第1回の脱出し過程の駆動センサ信号に重複される。零信号は第3回に24で示す所の第2のクロックパルス#BEの出現の際コンデンサE01に伝達され、その駆動コンデンサにクロックパルス25が導入される。KO2の倒線およびクロックパルス#T02により、最初に脱出した信号電荷はL1のトラン

(16)

スファ電極E11の下に転送され、この電荷は電位E11にある。#T1の倒線27およびクロックパルス#T03により電荷は最後に、L2の電位#21にある所のトランジスタ電極E21の下に達する。KO1の倒線28はクロックパルス#T01と一緒に、零信号電荷のE01への伝達に、および倒線28はクロックパルス#T02と一緒に、E01からE11にある電極E11の下の半導体領域中に更に電荷の伝達に作用する。

E21およびE11の下方に伝えられた電荷およびL1、L2の張りの後中に蓄積された、他の列線に起因する対応する電荷の脱出しは、電圧#1乃至#4(そのクロックパルス#1のみを第3回に示す)によつて行われる。

コンデンサE01からE21の下の領域への信号電荷、およびE11の下の領域への零信号電荷が転送される時間空間T2(第8回)は、例えば2個のテレビジョン行の間の1.2μsの走査間隔から成る。テレビジョン行の張りの部分に対応し、

(17)

かつて5.2μsを持つ時間空間T1はE01へのセンサ信号の蓄積に対して整備される。E01への零信号の蓄積は部分的に時間間隔T2中に行われる。シフトレジスタL1、L2の脱出しは時間間隔T2後に行われ、次に続く時間間隔T2の開始まで継続できる。T1はT2より著しく長いので、センサ信号電荷の比較的緩慢な伝達が、BEの電位障壁を超えて蓄積コンデンサE01へ行われ、よつて伝達損失が充分に排除される。

整形回路1り中で到来する信号電荷および零信号電荷から零信号が導出され、之は妨害を除去されたセンサ信号を表わす。

第4回に示す装置において蓄積コンデンサKO1は、ゲートBEおよびL1のトランジスタ電極E11の間に偏えられ、蓄積コンデンサKO1はBEおよびE11のようくL1の同じ段に與するトランジスタ電極E13の間に偏えられる。蓄積コンデンサおよびゲートBEの間に、1と反対にドープされた他の15'および2個のトランジスタ

(18)

電荷 $T_0 4 1$, $T_0 4 2$ が漏えられ、之はそれぞれ蓄積コンデンサのそばにある。 $K_0 1'$, $K_0 2'$ はトランスマニアゲート $T_0 1'$ を介して、 L_1 のトランスマニアゲートの異なる入力 $E 1 1$, $E 1 3$ と接続され、それに対しシフトレジスタ L_1 , L_2 の互に対応する端はトランスマニアゲート $T_0 5$ を介して、 L_1 の各段の入力の 1 つの端子内で互に接続される。

トランスマニアゲート $T_0 4 1$, $T_0 4 2$ はクロックパルス電圧 $\phi_{T_0 4 1}$, $\phi_{T_0 4 2}$ を印加され、蓄積コンデンサ $K_0 1$, $K_0 2$ は共通の電圧 $\phi_{K_0 1}$ を印加される。使用される電圧の時間関係は第 5 図に示される。矢印 $5 1$ によりコンデンサ $K_0 1$ 中の信号電荷の中間蓄積を表わし、矢印 $5 2$ によりコンデンサ $K_0 1$ における零信号電荷の中間蓄積を示す。内コンデンサの電荷は矢印 $5 3$ で示すように共通に、トランスマニア電圧 $E 1 1$ および $E 1 3$ の下に転送され、その際 $E 1 1$ は第 8 図に実線で表わすパルス電圧 $\phi_{1 1}$ にあり、それに対し

(19)

矢印 $5 4$ は $\phi_{1 1}$ よりも後で示す部分だけ長いバルス電圧 $\phi_{1 3}$ にある。矢印 $5 4$ は $E 1 1$ から $E 2 1$ への電荷転送を表わす。次にシフトレジスタ中に貯込まれた電荷は再びステップ的に差形回路 L_1 の方にシフトされ、この回路は信号端子および零信号電圧から差信号を導出する。

第 8 図の回路は第 4 図とは、コンデンサ $K_0 1$, $K_0 2$ の割合が相違するのみである。ここでトランスマニアゲート $T_0 4 2$ は省略され、その際コンデンサ $K_0 2$ は制限 $1 5'$ の境界まで延長される。之はクロックパルス電圧 $\phi_{K_0 2}$ を印加されるのに對し、 $K_0 1'$ には第 4 図の電圧 $\phi_{K_0 1}$ に對応するクロックパルス電圧 $\phi_{K_0 1}$ が存在する。作用経過は第 4 図の場合と同様である。第 7 図の表状においてコンデンサから電圧 $E 1 1$ および $E 1 3$ の下への電荷転送に對し、第 5 図の矢印 $5 3$ に對応する 2 本の矢印 $5 3'$ が漏えられる。

第 5 図および第 7 図から、第 4 図および第 6 図の実際形においても、コンデンサからシフトレジ

(20)

スタ中への電荷伝送に對し、短かい時間間隔が得られるのに對し、蓄積コンデンサ中への信号の中間蓄積に對し、それぞれ長い時間空間が使用されることが分かる。

第 8 図は第 4 図とは、1 個のシフトレジスタ L_3 を備えるのみによつて相違する。2 個の段 S_1 および S_2 が同じに列数 $1 8$ IC 所属する。トランスマニアゲート $T_0 6 1$, $T_0 6 2$ は第 4 図のゲート $T_0 4 1$, $T_0 4 2$ に對応し、ゲート $T_0 1'$ は第 4 図の $T_0 1'$ に對応する。信号電荷および零信号電荷は、交互にシフトレジスタの段に分配され、順次に回路部分 L_1 に導かれ、差信号を導出する。

4 図面の簡単な説明

第 1 図はこの発明の第 1 の実施例の概要的表示、第 2 図は第 1 図の部分回路の断面図、第 3 図は第 1 図および第 2 図による回路の説明のための電圧-時間ダイヤグラム、第 4 図は第 2 図の部分回路の第 1 の変形、第 5 図は第 4 図の説明のた

めの電圧-時間ダイヤグラム、第 6 図は第 2 図の部分回路の第 2 の変形、第 7 図は第 6 図の説明のための電圧-時間ダイヤグラム、第 8 図は第 2 図の部分回路に対する第 8 の変形を示す。

記号について

1 …半導体、1 a … 1 の境界面、2 …センサ素子、2 a …ホトダイオード、2 b …電界効果トランジスタ、4 …絶縁層、1 0 …行線、1 1 …1 2 の出力、1 2 …デジタルシフトレジスタ、1 8 …列数、1 4 …端子、1 5, 1 5' …1 と反対にドープの領域、1 6 …BE の端子、1 7 …K 0 1 の端子、1 8 …差形回路、2 0 …回路出力、2 4, 2 5 …クロックパルス、2 2, 2 6 ~ 2 9 …クロックパルスの立下り線、BE …ゲート(バリヤ)、 $E 1 1$, $E 2 1$ … L_1 , L_2 のトランスマニア電圧、 $E 1 3$ …トランスマニア電圧、 $K_0 1$, $K_0 1'$, $K_0 2$, $K_0 2'$ …コンデンサ、 L_1 ~ L_8 …シフトレジスタ、 $T_0 1$ ~ $T_0 8$, $T_0 1'$, $T_0 5$, $T_0 6 1$ …トランスマニアゲート、 $T_0 4 1$, $T_0 4 2$ …トランスマニア

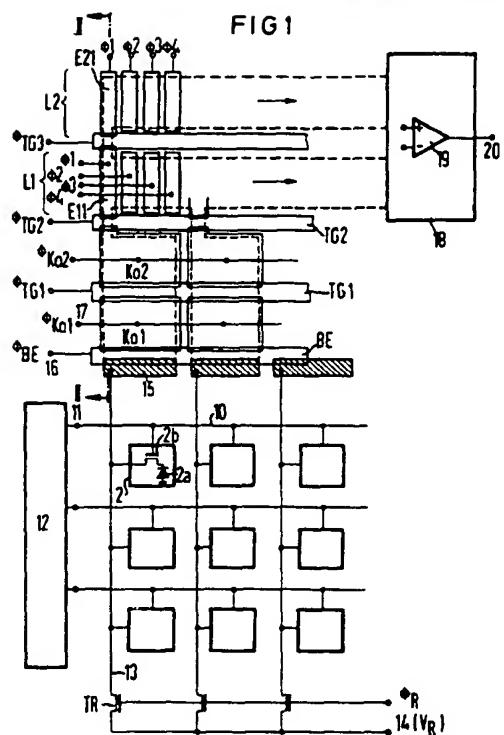
(21)

(22)

電極、TR…トランジスタ、VR…参照電圧。

(6118) 代理人 井理士 富村 錦

特開昭56-46374(7)



(23)

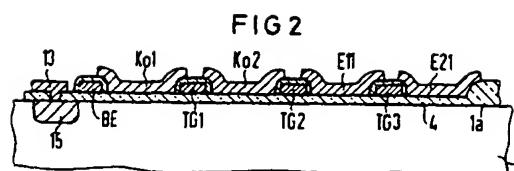


FIG 3

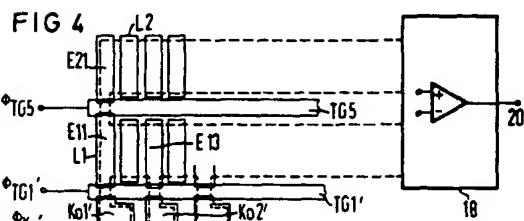
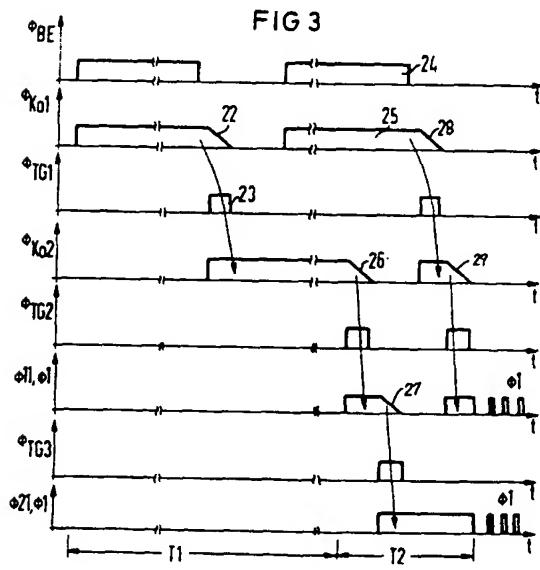
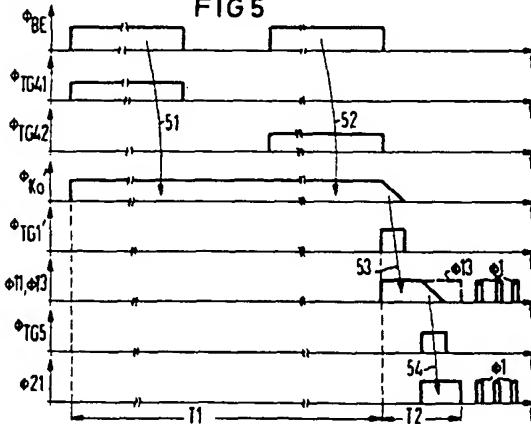


FIG 5



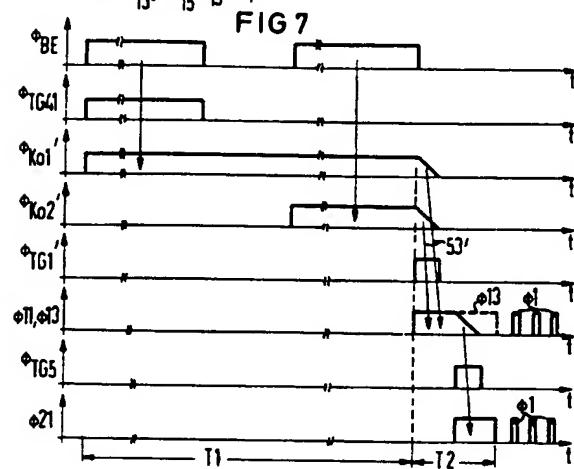
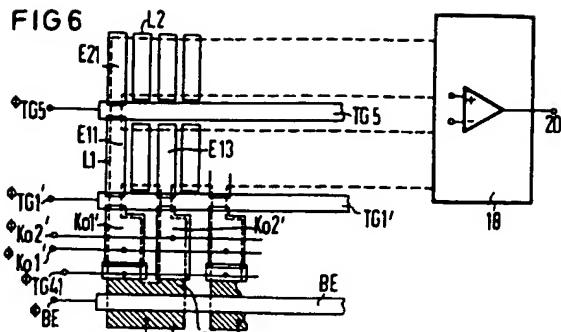


FIG 8

